(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2000－3885
（P2000－3885A）
(43)公開日　平成12年１月７日(2000.1.7)

BEST AVAILABLE COPY

(51)Int.Cl.⁷	識別記号	FI		テーマコード（参考）
H01L 21/283		H01L 21/283	C	
27/04		27/04	C	
21/822		29/78	301G	
29/78				

審査請求　未請求　請求項の数13　ＯＬ　（全５頁）

(21)出願番号　特願平11－107329

(22)出願日　平成11年４月15日(1999.4.15)

(31)優先権主張番号　０９／０６０４２０

(32)優先日　平成10年４月15日(1998.4.15)

(33)優先権主張国　米国（ＵＳ）

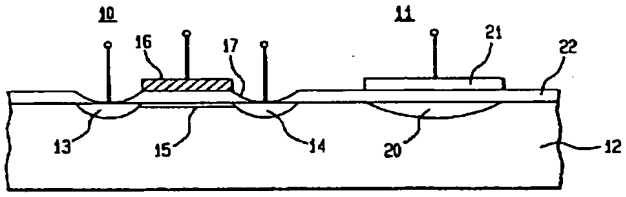
(71)出願人　596092698
ルーセント　テクノロジーズ　インコーポレーテッド
アメリカ合衆国．07974－0636　ニュージャーシィ，マレイ　ヒル，マウンテン　アヴェニュー　600

(72)発明者　グレン　ピー．アラーズ
アメリカ合衆国　95060　カリフォルニア，サンタ　クラッツ，レッドウッド　ドライヴ　1771

(74)代理人　100064447
弁理士　岡部　正夫　（外11名）

(54)【発明の名称】　改良型薄膜誘電体を使用して電界効果デバイスおよびコンデンサを製造する方法および得られるデバイス

(57)【要約】
【課題】　本発明は、改良型薄膜誘電体を使用して電界効果デバイスおよびコンデンサを製造する方法および得られるデバイスを提供する。
【解決手段】　シリコン基板上に高誘電率材料の薄膜を蒸着し、構造物をプラズマに露出した後、上部電極を形成することによって電子デバイスが形成される。プラズマは誘電体／シリコン境界面の電荷トラップ密度を大きく低減する。誘電体膜は、上部電極を形成する前に窒素を含む材料によって保護されるので、電極と誘電体の相互拡散が防止されるので有利である。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項１】　誘電体材料の改良型薄膜を有する電子デバイスを製造する方法であって、

露出したシリコン表面を含む基板を提供するステップと、

前記露出したシリコン表面上に誘電体材料の膜を蒸着するステップと、

前記誘電体膜と前記シリコンの間の電荷トラップの密度を低減するために結果として得られた構造物をプラズマに露出するステップと、

前記誘電体膜の上を覆う電極を形成するステップと、

前記電子デバイスを完成するステップとを含む方法。

【請求項２】　請求項１に記載の方法において、前記誘電体材料が５より大きい誘電率を有する方法。

【請求項３】　請求項１に記載の方法において、前記誘電体材料が酸化タンタルを含む方法。

【請求項４】　請求項１に記載の方法において、前記誘電体材料が窒化シリコンを含む方法。

【請求項５】　請求項１に記載の方法において、前記プラズマに露出するステップが酸素プラズマに露出するステップを含む方法。

【請求項６】　請求項１に記載の方法において、前記プラズマに露出するステップが窒素プラズマに露出するステップを含む方法。

【請求項７】　請求項１に記載の方法において、前記プラズマに露出するステップが１００～４００℃の範囲の基板温度で窒素または酸素のプラズマに露出するステップを含む方法。

【請求項８】　請求項１に記載の方法において、前記誘電体材料を蒸着するステップが２～１０ｎｍの範囲の厚さを有する誘電体膜を蒸着するステップを含む方法。

【請求項９】　請求項１に記載の方法において、さらに、前記誘電体の上を覆う前記電極を形成する前に前記誘電体に窒素を含む材料を付着させるステップを含む方法。

【請求項１０】　請求項１に記載の方法において、前記電極を形成するステップがポリシリコンを含む電極を形成するステップを含む方法。

【請求項１１】　請求項１の処理によって形成される電子デバイス。

【請求項１２】　請求項１の処理によって形成されるゲート誘電体を有する電界効果トランジスタ。

【請求項１３】　請求項１の処理によって形成される誘電体層を有するコンデンサ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、改良型薄膜誘電体を使用して電子デバイスを製造する方法およびその結果として得られるデバイスに関する。

【０００２】

2

【発明の背景】電界効果トランジスタ等の電界効果デバイスは、今日の電子工学における重要な構成部分である。それらは、データ処理および電気通信用回路を含む大部分のデジタル回路と多くのアナログ回路の基本構成部分である。実際、電界効果トランジスタは人間が作り出したものの中で最も多数存在するものの１つであると考えられてきた。

【０００３】電界効果デバイスは、通常、ソースとドレインの間に配置された、チャネルと呼ばれる導電率制御可能経路を備えている。ゲート電極が、チャネルの上を覆う誘電体薄膜の上に形成される。例えば、ソースとドレインはシリコンのｎ形領域であり、チャネルはそれらを連結するｐ形領域である。ゲート電極は、チャネルの上を覆う酸化シリコン誘電体の薄層の上に形成された導電性ドーピング・ポリシリコン層とすることができる。

【０００４】ゲートに電圧が印加されない場合、電流はソースからチャネル、またはチャネルからドレインに流れることができない。しかし、十分な正電圧がゲートに印加されると、電子はチャネル領域に誘導され、ソースとドレインの間に連続したｎ形導電性経路を形成する。

【０００５】コンデンサはまた集積回路の重要な構成部分である。通常のコンデンサは、誘電体薄膜によって分離された第１および第２の導電性層を備えている。

【０００６】集積回路の動作の信頼性は、回路デバイスで使用されるますます薄くなる誘電体層の信頼性に大きく依存している。トランジスタがますます小さくなり稠密に実装されるようになるにつれて、誘電体は薄くなった。コンデンサとゲートの誘電体は厚さ８０オングストローム以下であることが多い。ＵＬＳＩ技術の登場と共に、ゲートの誘電体は５０オングストローム以下に近づいている。集積回路を動作させるには、数千個の種々のトランジスタの各々のこうした薄層がデバイスを駆動する十分な静電容量を提供し、不純物の移動からチャネルを保護し、境界面に電荷トラップが発生するのを避けなければならない。こうした厳しい要求はすぐに従来の酸化シリコン層の能力を超えるだろう。２ｎｍ未満の酸化シリコン層は法外に大きな漏れ電流を有している。

【０００７】ゲート誘電体を酸化シリコン以外の物質に置き換える努力はこれまで満足すべきものではなかった。誘電率が比較的低い（≒３．９）ため、酸化シリコンの薄層によって得られる最大静電容量は、約２５ｆＦ／μm^2 である。これは、静電容量がデバイスを駆動するのに十分でないため、トランジスタを小さいサイズに縮小することを制限する。より誘電率の高い酸化タンタルが試用されたが、誘電体／シリコン境界面の高い電荷トラップ密度のため結果はよくない。SiO_2／Ta_2O_5 とSiO_2／Ta_2O_5／SiO_2 の複合層が試用されたが、複合層のため必要な厚さが獲得できる静電容量を制限している。酸化シリコンおよび酸化タンタルの間に窒化シリコンの薄層を蒸着することによって電荷ト

BEST AVAILABLE COPY

3

ラップを防止する努力もなされた。しかし、窒化物層は静電容量も低減するので、やはりデバイスの縮小を制限している。１９９５年１１月２１日D．Ｃａｒｌ他に対して発行された米国特許第５，４６８，６８７号と、Ｙ．Ｍｏｍｉｙａｍａ他、「ＴｉＮゲートを有する超薄型Ta_2O_5／SiO_2ゲート絶縁体」、１９９７年度ＶＬＳＩ技術シンポジウム、技術論文要録、１３５～１３６ページを参照されたい。従って、高い誘電率の薄層を有するデバイスを製造する改良された方法が必要である。

【０００８】

【発明の概要】本発明によれば、シリコン基板上に高誘電率材料の薄膜を蒸着し、構造物をプラズマに露出した後上部電極を形成することによって電子デバイスが形成される。プラズマは誘電体／シリコン境界面の電荷トラップ密度を大きく低減する。誘電体膜は上部電極を形成する前に窒素を含む材料によって保護されるので、電極と誘電体の相互拡散が防止されるので有利である。本発明の利点、性質および様々な付加的特徴は、以下詳細に説明される例示としての実施形態を検討すれば、より完全に理解することができるであろう。

【０００９】

【発明の実施の形態】図面について説明すると、図１は、改良型薄膜誘電体を有する電子デバイスを製造するステップを示す。図１のブロックＡに示すように、第１ステップでは露出したシリコン表面を有する基板が提供される。好適には、基板は従来の単結晶シリコン・ウェハである。予備ステップとして、シリコン基板は、周知の「ＲＣＡ」クリーン等の固有の酸化物や表面汚染物質を除去するために使用される従来の処理によって清掃される。

【００１０】ブロックＢに示す次のステップでは、２～１０ｎｍの範囲の厚さを有する酸化タンタルまたは窒化シリコンといった高誘電率材料の薄層が蒸着される。誘電体は化学蒸着によるなどしてシリコン基板上に直接蒸着される。蒸着中に清掃されたシリコン表面が酸化するのを防止するため、蒸着は５００℃以下の温度で行われる。

【００１１】第３ステップ（ブロックＣ）では、誘電体／シリコン境界面を保護し漏れ電流を低減するため蒸着された誘電体がプラズマに露出される。好適には、この露出はリモート・マイクロ波ダウンストリーム・プラズマに対して行われる。酸素および／または窒素のプラズマが満足であると判明した。例えば、気圧２ｔｏｒｒ、基板温度１００～４００℃（好適には、３００℃）の酸素プラズマが境界面を保護し安定にして、漏れ電流を低減する。境界面は、その後窒素プラズマに同様に露出することによってさらに安定する。また、気圧２トル、基板温度１００～４００℃の窒素プラズマを使用して境界面を安定にし、その後酸素プラズマ（同様の条件）によって漏れ電流を低減することもできる。

4

【００１２】ブロックＤに示す必要に応じて追加されるステップでは、誘電体表面が窒化される。すなわち上部表面に窒素を含む材料が追加されるので、上部電極を付着させるときゲート／誘電体境界面を保護する。この窒化は、酸化物表面への窒素のイオン注入、NH_4の熱分解、またはプラズマ強化蒸着または熱分解等による窒化シリコン層の蒸着によって達成される。

【００１３】第５ステップ（ブロックＥ）では上部電極が蒸着される。このステップは、通常ポリシリコン、またはＴｉＮ、ＴａＮ、ＷまたはＷＮといった金属の上部電極の蒸着を伴う。蒸着は、好適には、８００℃以下の温度でのＣＶＤまたはＰＶＤによって行われる。

【００１４】ブロックＦに示す最終ステップでは従来の方法でデバイスが完成する。例えば、ポリシリコン層がパターン成形され、広く使用される自己整合性シリコン・ゲート・プロセスに従って電界効果トランジスタのゲート、ソースおよびドレインが形成される。このプロセスは、例えば、引用によって本明細書の記載に援用する、Ｓ．Ｊ．Ｈｉｌｌｅｎｉｕｓ他、「対称サブミクロンＣＭＯＳ技術」、ＩＥＤＭ技術要録、２５２（１９８６年）で説明されている。また、ポリシリコンを誘電体の上に付着させ、ポリシリコンをパターン成形してコンデンサの上部電極を形成することによってコンデンサが完成する。

【００１５】図２は、各々本発明による改良型誘電体層を有する電界効果デバイス１０とコンデンサ１１を示す電子デバイスの一例の略断面図である。本発明にとって必須ではないが、この特定の場合、電界効果デバイスおよびコンデンサはどちらも結晶シリコン・ウェハ等の共通の基板１２の上に形成される。

【００１６】電界効果デバイス１０（ここではトランジスタ）は、本質的にソース１３、ドレイン１４およびチャネル１５を備え、それらの各々が、基板１２に支持されるシリコンのドーピング領域を備えることがある。ゲート電極１６はチャネル１５の上を覆い、誘電体薄膜１７によってチャネルと分離されている。図示されるように、誘電体膜は、ゲート電極１６（ゲート／誘電体の境界面）とチャネル１５（誘電体／Ｓｉの境界面）一組の主要な境界面を有する。誘電体膜は通常約８０オングストローム未満の厚さを有する。

【００１７】ゲート電極１６は、通常導電性を示すようにドーピングされた多結晶シリコンの薄層である。

【００１８】電界効果デバイスがＯＮ状態にあるとき、電流がチャネルを通じてソースとドレインの間を流れる。

【００１９】本発明によれば、誘電体膜１７は、酸化タンタルまたは窒化シリコンといった高誘電率（定数）（誘電率（定数）＞５）の薄層を備え、その誘電体／Ｓｉ境界面はプラズマで保護されている。ゲート／誘電体

BEST AVAILABLE COPY

5

境界面は窒化によって保護されているので有利である。

【００２０】コンデンサ１１は、誘電体薄膜２２によって分離された一組の導電性層２０および２１を備えている。層２０は、導電性ドーピングされた結晶シリコン膜でよく、層２１は導電性ドーピングされた多結晶シリコン膜でよい。誘電体膜２２は、膜１７と同じ種類の誘電体膜でよい。実際には、誘電体１７と２２は同じ層から製造することができる。

【００２１】図３は、シリコンに蒸着された１００オングストロームの酸化タンタル膜の静電容量に対するプラズマ処理の効果を示すグラフである。曲線１は、未処理膜の様々な温度での静電容量を示す。電圧が１ボルトを超えると著しく低下することに留意されたい。曲線２は、３００℃のO_2 プラズマで１分間処理した場合の効果を示し、曲線３は、N_2 プラズマで同様の処理を行い、その後O_2 プラズマで処理を行った場合を示す。４ボルトでは、処理済膜の静電容量は、未処理膜の６０％以上大きい。

【００２２】図４は、境界面状態密度に対するプラズマ処理の効果を示すグラフである。N_2プラズマ、O_2プラズマまたはN_2／O_2プラズマのすべてで、それらに露出することによって、通常の印加電圧に対して境界面状態密度の変化が非常に小さいデバイスが得られた。

6

【００２３】上記で説明した実施形態は、本発明の原理の適用業務を示す多くの可能な特定実施形態の中の小数のものを例示したものに過ぎないことを理解されたい。当業技術分野に熟練した者によって、非常に多くの多様な他の装置が、本発明の原理により、本発明の精神と範囲から逸脱することなく容易に考案できるであろう。

【図面の簡単な説明】

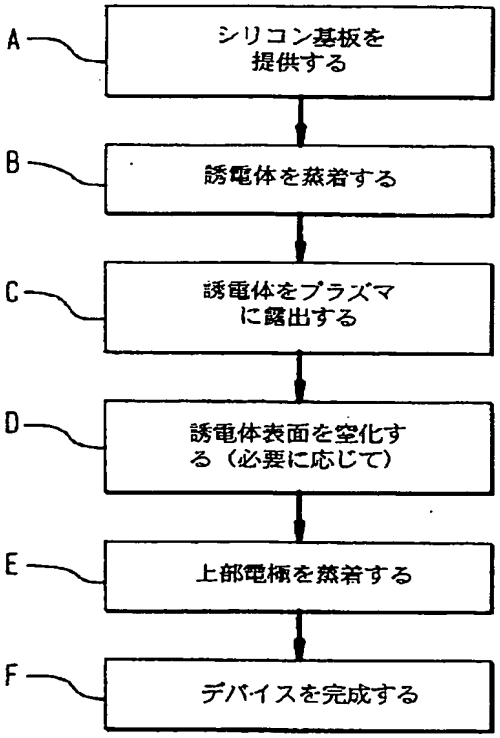
【図１】改良型誘電体層を有する電子デバイスを製造する好適な方法のステップを示す流れ図である。

【図２】改良型誘電体層を有する電界効果デバイスおよびコンデンサを示す略断面図である。

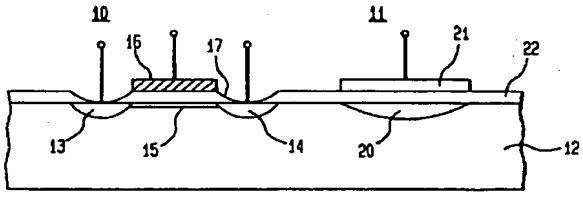
【図３】３つの異なったデバイスについて電圧の関数としての静電容量を示すグラフの図である。

【図４】４つの異なったデバイスについてストレス電圧の関数としての境界面状態密度の変化を示すグラフの図である。

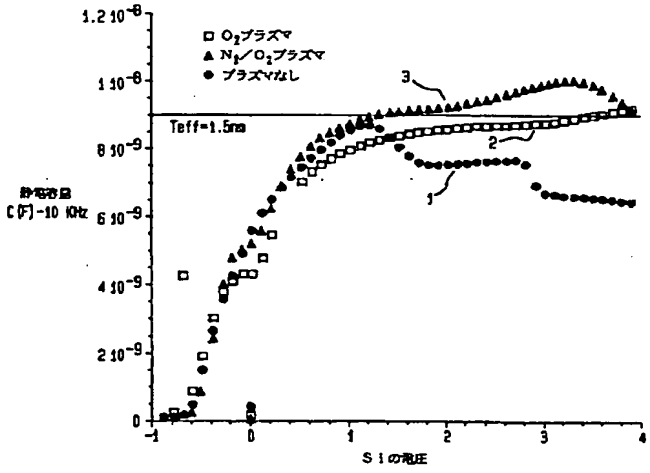
【図１】



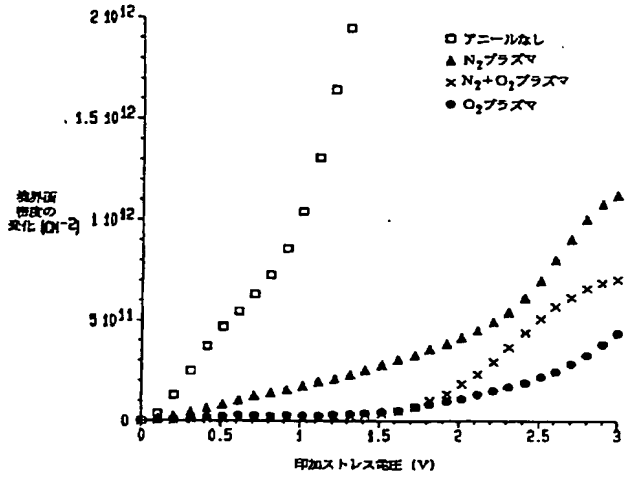
【図２】



【図３】



【図４】



BEST AVAILABLE COPY